

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The art of the silicon single crystal wafer characterized by carrying out the polish of the front face of the wafer concerned, and removing it after removing the oxide film which performs heat treatment in a 1100-1300-degree C temperature requirement for 0.5 to 24 hours, and is formed at this time in the silicon single crystal wafer manufactured from the single crystal which was able to be pulled up with the Czochralski method.

[Claim 2] The art of the silicon single crystal wafer according to claim 1 characterized by performing the 0.5-15 micrometers of the above-mentioned polishes.

[Claim 3] The art of the silicon single crystal wafer according to claim 1 or 2 characterized by performing the above-mentioned heat treatment in the ambient atmosphere containing oxygen or oxygen, and forming an oxide film.

---

[Translation done.]

**BEST AVAILABLE COPY**

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[Industrial Application]

[0001] This invention relates to the art of the wafer which made it possible to improve the oxide-film proof-pressure property in the silicon single crystal wafer (only henceforth a wafer) manufactured from the single crystal which was able to be pulled up with the Czochralski method (henceforth a CZ process).

[0002]

[Description of the Prior Art] In a semiconductor integrated circuit, it is required at the time of actuation of a device component that withstand voltage is high and that leakage current should be small and the dependability of an oxide film should be high. Although the ingredient used for manufacture of a semiconductor integrated circuit is a wafer manufactured from the silicon single crystal which was able to be pulled up by the CZ process, the crystal defect is introduced into this silicon single crystal by the heat history in a training process.

[0003] When the wafer manufactured using a single crystal with such a crystal defect is used and an integrated circuit is manufactured, the defect of oxide-film pressure-proofing poses a problem. Therefore, in order to manufacture an integrated circuit with the sufficient yield, the wafer which was excellent in the oxide-film proof-pressure property is required. For that purpose, development of the art of the wafer for abolishing the minute defect near [ used as the cause of reducing oxide-film pressure-proofing ] the wafer front face is called for.

[0004] Performing hot pre-heat treatment as one of the approaches which makes the oxide-film proof-pressure property of this wafer improve is raised. In this heat treatment, effectiveness hardly went up, but this invention person etc. found out that it was necessary to process in the elevated-temperature field of 1250-1300 degrees C, and already proposed in the about 900-1100-degree C temperature requirement used as sacrifice oxidation (Japanese Patent Application No. No. 102062 [ four to ]).

[0005]

[Problem(s) to be Solved by the Invention] However, said approach has inconvenient [ which heat-treats in a hot temperature field narrow moreover ]. Moreover, it is necessary to make still much more improvement about the oxide-film proof-pressure property of a wafer. This invention aims at offering the art of a wafer which enabled it to obtain the wafer which was excellent in the \*\*\*\*\* oxide-film proof-pressure property.

[0006]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, in the art of the wafer of this invention, in the ambient atmosphere which contains oxygen or oxygen for the wafer manufactured from the single crystal which was able to be pulled up by the CZ process in a 1100-1300-degree C temperature requirement, heat treatment is performed for 0.5 to 24 hours, after removing the oxide film formed at this time, the polish of the front face of the wafer concerned is carried out, and it is removed.

[0007] The above-mentioned heat treatment needs to be carried out in 1100-1300 degrees C for 0.5 to 24 hours. DZ to which the defect density which the oxygen between grids under crystal [ / near the wafer front face ] carries out out-diffusion to a wafer front face by this heat

treatment, and originates in the oxygen between grids fell (Denuded Zone). A layer is formed. However, heat treatment of a low-temperature short time of formation of DZ layer is inadequate, and the new defect by a pollutant etc., for example, OSF etc., will occur in formed DZ layer in heat treatment of elevated-temperature long duration. In addition, it is the description to perform the above-mentioned heat treatment in the ambient atmosphere containing oxygen or oxygen, and to form an oxide film. Controlled atmospheres other than the oxygen used here are inert gas like nitrogen and an argon.

[0008] After removing the oxide film formed of this heat treatment, the polish of the surface section of a wafer is carried out, and it is removed. The range of the desirable amount of polishes is 0.5-15 micrometers. Since the crystal defect or foreign matter which exists in the front face after oxide-film removal is not completely removed unless this amount of polishes fulfills 0.5 micrometers, if it is inadequate in that effectiveness, and 15 micrometers is exceeded and that amount becomes large, DZ layer formed of heat treatment will be removed, the crystal defect layer which exists in that lower part will be exposed, and effectiveness will be lost. In addition, the smaller one is desirable in order to lessen time and effort which is [ above-mentioned ] within the limits and carries out a polish and to be beneficial about the amount of polishes.

[0009]

[Function] The factor which affects the oxide-film pressure-proofing in this wafer can raise the crystal defect which originates in the oxygen between grids as secondarily as the flow pattern defect incorporated mainly at the time of crystal training (collection of 1991 spring Japan Society of Applied Physics drafts 28 p-ZL- 1-4 and the 40th semi-conductors and integrated-circuit technical symposium lecture collected works, and the electrochemistry societies p55-p60 (1991) reference).

[0010] It is as having already proposed that it is because DZ layer to which the defect density which the flow pattern defect incorporated at the time of crystal training reduces the effectiveness of the oxide-film proof-pressure improvement by pre-heat treatment of a wafer, and originates in the oxygen between grids [ near the wafer front face ] fell is formed (Japanese Patent Application No. No. 102062 [ four to ]).

[0011] That is, most flow pattern defects in a wafer are extinguished by heat treatment in this invention approach. Moreover, since a consistency falls by out-diffusion and, as for the oxygen between grids near the wafer front face, formation of DZ layer is promoted further, the minute defect density of the oxygen reason between grids also falls.

[0012] Moreover, after removing the oxide film of the wafer which heat-treated this invention approach, by carrying out the polish of the amount (at least 0.5 micrometers) of some of the front face, and removing it, the crystal defect and foreign matter which exist near the front face are removed, and a pure mirror plane is acquired. Therefore, in the thermal oxidation film formation at the time of manufacturing a semiconductor integrated circuit using this wafer, a minute defect to which an oxide-film proof-pressure property is reduced is hardly incorporated in an oxide film. Therefore, it becomes possible to obtain the semiconductor integrated circuit which was excellent in the oxide-film proof-pressure property.

[0013]

[Example] The example of this invention is given to below and it explains to it still more concretely.

example 1 CZ process -- rate-of-crystal-growth: -- the wafer was produced using the silicon single crystal (diameter: a 5"phi, field bearing: <100>, and \*\*\*\* type:p mold, specific resistance:10 ohm-cm) manufactured by 1.2 mm/min.

[0014] Pre-heat treatment (1100 degrees C (2 hours, example 1-1), 1150 degrees C (2 hours, example 1-2), and 1200 degrees C (2 hours, example 1-3)) was performed in the desiccation oxygen ambient atmosphere about these wafers (three sheets each), respectively, the oxide film formed at this time was removed and defecated in the rare HF water solution after that, and, subsequently 5-micrometer polish of the front face of these wafers was carried out.

[0015] Oxide-film pressure-proofing was measured as follows about the wafer which performed the above-mentioned processing. first, a wafer front face -- gate oxide -- the inside of 900-

degree-C desiccation oxygen ambient atmosphere — 25nm — forming it top — LPCVD — the MOS diode which uses as an electrode the thing in which 300nm of film of polish recon was made to form by law, and which carried out the back phosphorus dope was produced.

[0016] Next, oxide-film pressure-proofing was measured about 100 MOS diodes per wafer (gate area: 8mm<sup>2</sup> and judgment current value: 1 mA/cm<sup>2</sup>), and the rate of 8MV/cm or more was made into the rate of an excellent article.

[0017] The above-mentioned measurement result of oxide-film pressure-proofing was shown in drawing 1. The rate of an excellent article of oxide-film pressure-proofing of the wafer which processed this invention became 65% or more at 1100 degrees C (example 1-1), the effectiveness appears clearly, and it turns out at 1150 (example 1-2) to 1200 degrees C (example 1-3) that it is improved by leaps and bounds even to 85% so that clearly from the result of this drawing.

[0018] Moreover, it was shown in drawing 2 by making into an oxide-film proof-pressure histogram distribution of 1150 degrees C in this example and the dielectric-breakdown reinforcement of the gate oxide about one wafer (the number of data 100 pieces) which performed heat treatment (example 1-2) of 2 hours, i.e., field strength. The wafer which processed this invention has the frequency of the high field strength of the base of 10MV/cm especially as highest as about 70%, and the effectiveness is clearly shown so that clearly from drawing 2.

[0019] Furthermore, in order to investigate the condition on the front face of a wafer in this example, with the laser particle counter (LS6000, Hitachi Electronics Engineering make), the particle number of counts with a size of 0.15 micrometers or more was measured, and the wafer which performed 1100 degrees C and heat treatment (example 1-1) of 2 hours was shown in drawing 3. From the result of this drawing, it became clear that very few wafers of the particle number of counts were obtained.

[0020] The experiment when not performing polish removal of an example of experiment 1 wafer front face was conducted. That is, it is a non-heat-treated wafer (five sheets) about the same wafer as what was used in the example 1. It is 1100 degrees C (for 2 hours) in a desiccation oxygen ambient atmosphere about the wafer of the five-sheet each unit outside the example 1-0 of an experiment. Pre-heat treatment (the example 1-1 of an experiment, 1150 degrees C (2 hours, example 1-2 of an experiment), 1200 degrees C (2 hours, example 1-3 of an experiment), and 1280 degrees C (30 minutes, example 1-4 of an experiment)) was performed, and the oxide film formed at this time was removed and defecated in the rare HF water solution after that.

[0021] Subsequently, oxide-film pressure-proofing was measured like the example 1, and the rate of an excellent article was shown in drawing 1. The temperature of non-heat-treated elegance (example 1-0 of an experiment) and pre-heat treatment is almost ineffective, was able to cover the expenses [degrees C / 1100 degrees C (example 1-1 of experiment) - / (example 1-2 of experiment) / 1150] of temperature to 1280 degrees C (example 1-4 of an experiment), and was able to cover the expenses [degrees C] of the rate of an excellent article of oxide-film pressure-proofing to 75% or more so that clearly from this drawing. Even if it compared this rate of an excellent article with the case (example 1-2) of 1150 degrees C of an example 1, the quite low thing became clear.

[0022] The oxide-film proof-pressure histogram of the gate oxide about one wafer (the number of data 100 pieces) was shown in drawing 2 like the example 1, respectively about what performed non-heat-treated elegance (example 1-0 of an experiment) and 1150 degrees C, and heat treatment of 2 hours among the wafers of this above-mentioned example of an experiment (example 1-2 of an experiment). As compared with the case of an example 1, the degree of variation can say neither of the cases as fitness highly so that clearly from drawing 2.

[0023] Moreover, the particle number of counts with a size of 0.15 micrometers or more was measured like the example 1, and what performed non-heat-treated elegance (example 1-0 of an experiment) and 1100 degrees C, and heat treatment of 2 hours among the wafers of this example of an experiment (example 1-1 of an experiment) was shown in drawing 3. It turned out that the particle number of counts of the wafer which heat-treated this example is increasing compared with a non-heat-treated wafer so that clearly from this drawing.

[0024] this particle -- RCA particle remover [— reference: -- N.Kern and D.W.Puotinen "RCA Review", 31, and 187(1970)] etc. -- even if it performs washing by the chemical, it does not decrease.

[0025] As shown in the example 1 of an experiment, it is possible that the reason the improvement of oxide-film pressure-proofing was seldom found is because the effectiveness of elevated-temperature heat treatment mentioned above and the effect of the above-mentioned particle generating were offset. Then, as shown in the example 1, by carrying out amount polish of the wafer front face a little, and taking out a pure mirror plane showed that very few wafers of the particle number of counts could be obtained, therefore effectiveness was in an improvement of an oxide-film proof-pressure property.

[0026] Furthermore, this invention person etc. investigated also about the TDDB (dielectric breakdown with the passage of time) property. Although the above-mentioned example 1 showed the dielectric-breakdown reinforcement of gate oxide, it is a property important when estimating the life of a device, the long-term dependability, i.e., TDDB property, of an oxide film. The wafer with an MOS diode which measured drawing 1 was used for the measured wafer. Gate area is 2 1mm. The constant-voltage stress of 100 per wafer and -12 MV/cm was impressed about the MOS diode, and the TDDB property was measured. About non-heat-treated elegance (example 1-0 of an experiment), and the wafer (two sheets each) which performed processing [an example 1-2 (degrees C [ 1150 ], 2 hours) and an example 1-3 (degrees C [ 1200 ], 2 hours)] of this invention, the measurement result was shown in drawing 4 . It checked that the same effectiveness appeared also in a TDDB property as shown in drawing 4 .

[0027]

[Effect of the Invention] By processing this invention, remarkable effectiveness was in reduction of defect density which degrades an oxide-film proof-pressure property in a wafer front face. After processing this invention, most minute defects were not incorporated in the gate oxide formed on the wafer, but it became possible to obtain the semiconductor integrated circuit which was excellent in the oxide-film proof-pressure property. That is, offer of the wafer which can manufacture a reliable high and semiconductor integrated circuit of withstand voltage was attained.

---

[Translation done.]

\* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the graph which shows the relation between front heat treatment temperature and the rate of an excellent article of oxide-film pressure-proofing for an example 1 and the example 1 of an experiment.

[Drawing 2] It is the graph which shows the oxide-film proof-pressure histogram in an example 1-2, the example 1-2 of an experiment, and non-heat-treated elegance.

[Drawing 3] It is the graph which shows the particle number of counts in an example 1-1, the example 1-1 of an experiment, and non-heat-treated elegance.

[Drawing 4] It is the graph which shows an example 1-2, an example 1-3, and the TDDB property about non-heat-treated elegance.

---

[Translation done.]

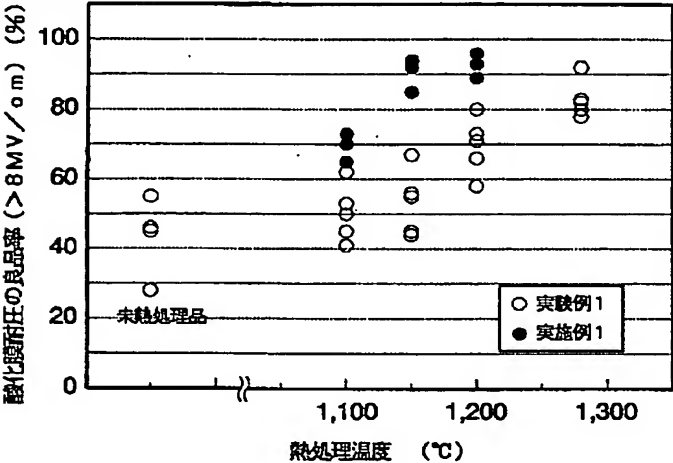
\* NOTICES \*

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

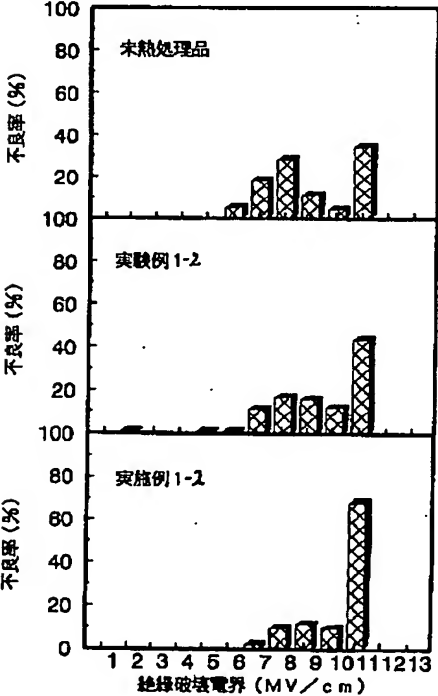
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

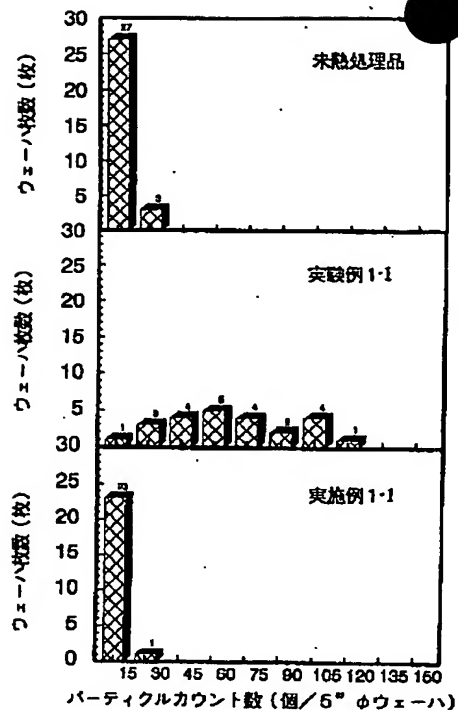
[Drawing 1]



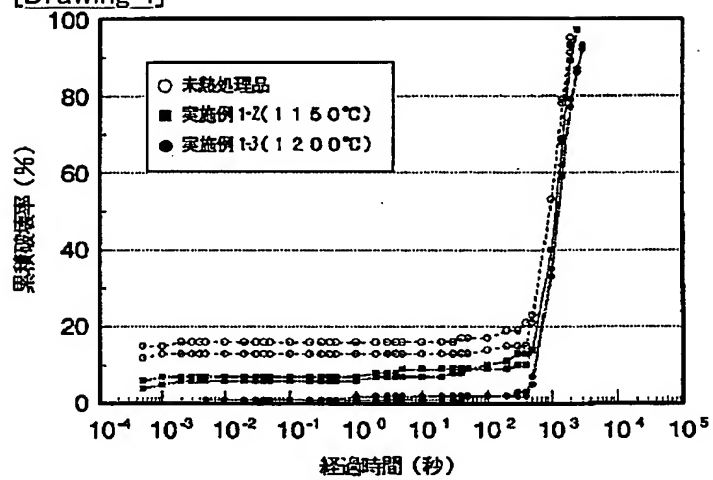
[Drawing 2]



[Drawing 3]



[Drawing 4]



[Translation done.]



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-21033

(43)公開日 平成6年(1994)1月28日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/304	3 4 1 D	8728-4M		
21/324	Z	8617-4M		
// H 0 1 L 21/02	B			

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号 特願平4-197654

(22)出願日 平成4年(1992)6月30日

(71)出願人 000190149

信越半導体株式会社

東京都千代田区丸の内1丁目4番2号

(72)発明者 藤巻 延嘉

群馬県安中市磯部2丁目13番1号 信越半  
導体株式会社半導体磯部研究所内

(72)発明者 片山 正健

群馬県安中市磯部2丁目13番1号 信越半  
導体株式会社半導体磯部研究所内

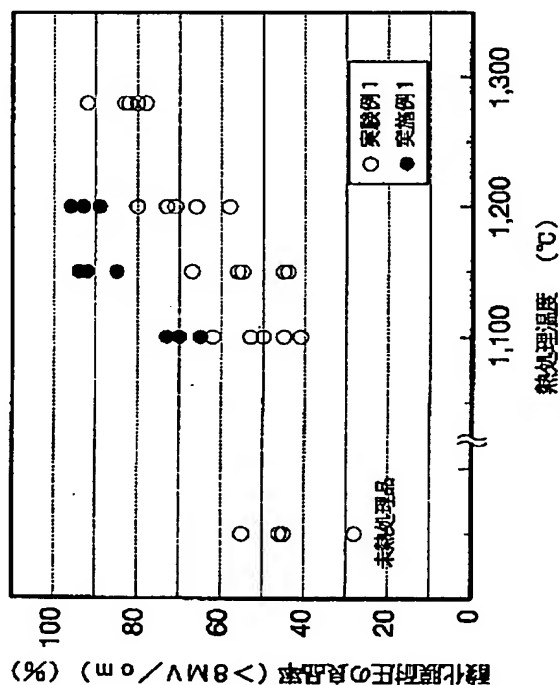
(74)代理人 弁理士 石原 詔二

(54)【発明の名称】 シリコン単結晶ウェーハの処理方法

(57)【要約】

【目的】 チョクラスキー法によって引き上げられた単結晶より製造されるシリコン単結晶ウェーハにおける酸化膜耐圧特性の改善を図る。

【構成】 チョクラスキー法によって引き上げられた単結晶より製造されるシリコン単結晶ウェーハを1100～1300℃の温度範囲において、酸素又は酸素を含む雰囲気中で、0.5～24時間の熱処理を施し、この時に形成される酸化膜を除去した後に、当該ウェーハの表面をポリッシュし除去する。



## 【特許請求の範囲】

【請求項1】 チョクラスキー法によって引き上げられた単結晶より製造されるシリコン単結晶ウェーハを、1100～1300℃の温度範囲において0.5～24時間熱処理を施し、この時に形成される酸化膜を除去した後に、当該ウェーハの表面をポリッシュし除去することを特徴とするシリコン単結晶ウェーハの処理方法。

【請求項2】 上記ポリッシュを0.5～15μm行うことを特徴とする請求項1記載のシリコン単結晶ウェーハの処理方法。

【請求項3】 上記熱処理を酸素又は酸素を含む雰囲気中で行い、酸化膜を形成することを特徴とする請求項1又は2記載のシリコン単結晶ウェーハの処理方法。

## 【発明の詳細な説明】

## 【産業上の利用分野】

【0001】本発明は、チョコラスキー法（以下CZ法という。）によって引き上げられた単結晶より製造されるシリコン単結晶ウェーハ（以下単にウェーハという。）における酸化膜耐圧特性を改善することを可能としたウェーハの処理方法に関する。

## 【0002】

【従来の技術】半導体集積回路においては、デバイス素子の動作時に絶縁耐圧が高いこと、リーク電流が小さく酸化膜の信頼性が高いことが要求される。半導体集積回路の製造に使用される材料は、CZ法によって引き上げられたシリコン単結晶より製造されるウェーハであるが、このシリコン単結晶中には育成工程中の熱履歴により結晶欠陥が導入されている。

【0003】このような結晶欠陥をもった単結晶を用いて製造されるウェーハを使用し、集積回路を製造した場合には、酸化膜耐圧の不良が問題となる。従って、歩留まりよく集積回路を製造する為には酸化膜耐圧特性の優れたウェーハが必要である。その為には、酸化膜耐圧を低下させる原因となるウェーハ表面近傍の微小な欠陥をなくするためのウェーハの処理方法の開発が求められている。

【0004】このウェーハの酸化膜耐圧特性を改善させる方法の一つとして、高温の前熱処理を施すことがあげられる。本発明者等はいかかる熱処理においては、犠牲酸化として利用される900～1100℃程度の温度範囲ではほとんど効果があがらず、1250～1300℃という高温領域で処理する必要があることを見出し、すでに提案した（特願平4-102062号）。

## 【0005】

【発明が解決しようとする課題】しかしながら、前記方法は高温のしかも狭い温度領域で熱処理を行う不便さがある。また、ウェーハの酸化膜耐圧特性については、更に一層の改善を行う必要がある。本発明は、かかる酸化膜耐圧特性の優れたウェーハを得ることができるようにした、ウェーハの処理方法を提供することを目的とす

る。

## 【0006】

【課題を解決するための手段】上記課題を解決するために、本発明のウェーハの処理方法においては、CZ法によって引き上げられた単結晶より製造されるウェーハを1100～1300℃の温度範囲において、酸素又は酸素を含む雰囲気中で、0.5～24時間熱処理を施し、この時に形成される酸化膜を除去した後に、当該ウェーハの表面をポリッシュし除去するようにしたものである。

【0007】上記熱処理は1100～1300℃の範囲で0.5～24時間行われることが必要である。この熱処理によりウェーハ表面には、ウェーハ表面近傍における結晶中の格子間酸素が外方拡散し、格子間酸素に起因する欠陥密度が低下したDZ（Denuded Zone）層が形成される。しかし、低温短時間の熱処理ではDZ層の形成が不十分であり、また、高温長時間の熱処理では形成されたDZ層中に、汚染物質等による新たな欠陥、例えばOSF等が発生してしまう。尚、上記熱処理は酸素又は酸素を含む雰囲気中で行い酸化膜を形成することが特徴である。ここで使用される酸素以外の雰囲気ガスは、窒素、アルゴンのような不活性ガスである。

【0008】この熱処理によって形成される酸化膜を除去した後に、ウェーハの表面部をポリッシュし除去する。その好ましいポリッシュ量は0.5～15μmの範囲である。このポリッシュ量が0.5μmに満たないと、酸化膜除去後の表面に存在する結晶欠陥あるいは異物が完全に除去されないためその効果不十分であり、かつ15μmを越えその量が大きくなると、熱処理により形成されたDZ層が除去されて、その下部に存在する結晶欠陥層が露出し、効果がなくなってしまう。なお、ポリッシュ量については上記範囲内で、ポリッシュする手間を少なくするためなるべく小さい方が望ましい。

## 【0009】

【作用】このウェーハにおける酸化膜耐圧に影響を与える要因は、主として結晶育成時に取り込まれるフローバターン欠陥と、副次的には格子間酸素に起因する結晶欠陥とをあげることができる（1991年春期応用物理学会予稿集28p-ZL-1～4及び第40回半導体・集積回路技術シンポジウム講演論文集、電気化学学会（1991）p55～p60を参照）。

【0010】ウェーハの前熱処理による酸化膜耐圧改善の効果は、結晶育成時に取り込まれたフローバターン欠陥が低減し、かつウェーハ表面近傍において格子間酸素に起因する欠陥密度の低下したDZ層が形成されるためであることは既に提案した通りである（特願平4-102062号）。

【0011】すなわち、本発明方法における熱処理によって、ウェーハ中のフローバターン欠陥はほとんど消滅する。また、ウェーハ表面近傍の格子間酸素は外方拡散

10

20

30

40

50

により密度が低下してDZ層の形成が一層助長されるので、格子間酸素起因の微小欠陥密度も低下する。

【0012】また、本発明方法の熱処理を施したウェーハの酸化膜を除去した後、その表面の若干量（少なくとも $0.5\mu\text{m}$ ）をポリッシュし除去することにより、表面近傍に存在する結晶欠陥や異物が除去され、清浄な鏡面が得られる。従って、このウェーハを使用して半導体集積回路を製造する際の熱酸化膜形成において、酸化膜耐圧特性を低下させるような微小な欠陥は、酸化膜中にはほとんど取り込まれない。よって、酸化膜耐圧特性の優れた半導体集積回路を得ることが可能になるものである。

【0013】

【実施例】以下に本発明の実施例を挙げてさらに具体的に説明する。

#### 実施例1

CZ法により結晶成長速度： $1.2\text{mm}/\text{min}$ で製造したシリコン単結晶（直径： $5''\phi$ 、面方位： $<100>$ 、導伝型： $p$ 型、比抵抗： $10\Omega\cdot\text{cm}$ ）を使用してウェーハを作製した。

【0014】これらのウェーハ（各3枚）について乾燥酸素雰囲気中でそれぞれ $1100^\circ\text{C}$ （2時間、実施例1-1）、 $1150^\circ\text{C}$ （2時間、実施例1-2）、 $1200^\circ\text{C}$ （2時間、実施例1-3）の前熱処理を施し、その後、この時に形成された酸化膜を希HF水溶液で除去して清浄化し、次いでこれらのウェーハの表面を $5\mu\text{m}$ ポリッシュした。

【0015】上記処理を施したウェーハについて次のように酸化膜耐圧を測定した。まず、ウェーハ表面にゲート酸化膜を、 $900^\circ\text{C}$ 乾燥酸素雰囲気中で $25\text{nm}$ 形成し、その上にLPCVD法によってポリシリコンの膜 $300\text{nm}$ を形成させた後リンドープしたものを電極とするMOSダイオードを作製した。

【0016】次に、ウェーハ当たり100個のMOSダイオードについて酸化膜耐圧を測定（ゲート面積： $8\text{mm}^2$ 、判定電流値： $1\text{mA}/\text{cm}^2$ ）し、 $8\text{MV}/\text{cm}$ 以上の割合を良品率とした。

【0017】上記した酸化膜耐圧の測定結果を図1に示した。同図の結果から明らかなように、本発明の処理を施したウェーハの酸化膜耐圧の良品率は、 $1100^\circ\text{C}$ （実施例1-1）で65%以上となっており、 $1150^\circ\text{C}$ （実施例1-2）から $1200^\circ\text{C}$ （実施例1-3）では85%にまで飛躍的に改善されていることが判る。

【0018】また、本実施例における $1150^\circ\text{C}$ 、2時間の熱処理（実施例1-2）を施したウェーハ1枚（データ数100個）についてのゲート酸化膜の絶縁破壊強度、即ち電界強度の分布を酸化膜耐圧ヒストグラムとして図2に示した。図2から明らかなように、本発明の処理を施したウェーハは、特に $10\text{MV}/\text{cm}$ 台の高い電

界強度の頻度が70%程度と最も高く、その効果が歴然と示されている。

【0019】さらに、本実施例におけるウェーハ表面の状態を調査するために $1100^\circ\text{C}$ 、2時間の熱処理（実施例1-1）を施したウェーハについて、レーザーパーティクルカウンター（LS6000、日立電子エンジニアリング（株）製）によって $0.15\mu\text{m}$ 以上のサイズのパーティクルカウント数を測定し、図3に示した。同図の結果から、パーティクルカウント数の極めて少ないウェーハが得られることが判明した。

#### 【0020】実験例1

ウェーハ表面のポリッシュ除去を行わない場合の実験を行った。すなわち、実施例1で利用したものと同じウェーハについて、未熱処理ウェーハ（5枚、実験例1-0）の外、各5枚単位のウェーハについて、乾燥酸素雰囲気中で $1100^\circ\text{C}$ （2時間、実験例1-1）、 $1150^\circ\text{C}$ （2時間、実験例1-2）、 $1200^\circ\text{C}$ （2時間、実験例1-3）、 $1280^\circ\text{C}$ （30分、実験例1-4）の前熱処理を施し、その後、この時に形成された酸化膜を希HF水溶液で除去し清浄化した。

【0021】ついで、実施例1と同様に酸化膜耐圧を測定し、その良品率を図1に示した。同図から明らかなように、未熱処理品（実験例1-0）及び前熱処理の温度が $1100^\circ\text{C}$ （実験例1-1）～ $1150^\circ\text{C}$ （実験例1-2）ではほとんど効果がなく、 $1280^\circ\text{C}$ （実験例1-4）まで温度を上げて、酸化膜耐圧の良品率を75%以上に上げることができた。この良品率は実施例1の $1150^\circ\text{C}$ の場合（実施例1-2）と比較してもかなり低いことが判明した。

【0022】上記した本実験例のウェーハのうち、未熱処理品（実験例1-0）及び $1150^\circ\text{C}$ 、2時間の熱処理を施したもの（実験例1-2）について、それぞれウェーハ1枚（データ数100個）についてのゲート酸化膜の酸化膜耐圧ヒストグラムを、実施例1と同様に図2に示した。図2から明らかなように、いずれの場合も実施例1の場合に比較してバラツキの度が高く良好とはいえない。

【0023】また、本実験例のウェーハのうち、未熱処理品（実験例1-0）及び $1100^\circ\text{C}$ 、2時間の熱処理を施したもの（実験例1-1）について、実施例1と同様に $0.15\mu\text{m}$ 以上のサイズのパーティクルカウント数を測定し、図3に示した。同図から明らかなように、本実施例の熱処理を施したウェーハのパーティクルカウント数が未熱処理ウェーハに比べて増加していることが判った。

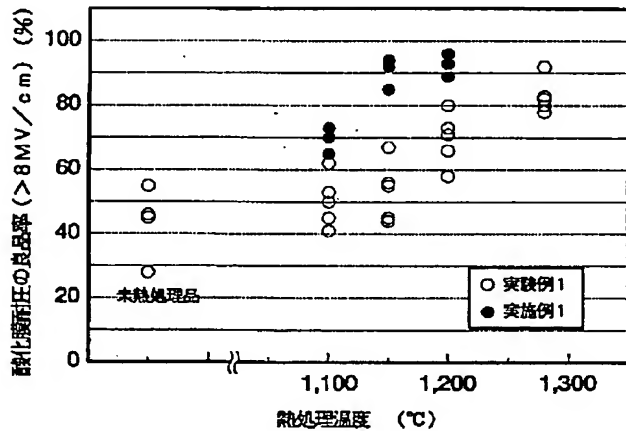
【0024】かかるパーティクルはRCA洗浄液〔文献：N.Kern and D.W.Puotinen"RCA Review", 31, 187(1970)〕等の薬品による洗浄を行っても減少しないものである。

【0025】実験例1に示したごとく、酸化膜耐圧の改

善があまり見られなかった理由は、前述した高温熱処理の効果と上記したパーティクル発生の影響とが相殺されたためであると考えることができる。そこで、実施例1に示したごとく、ウェーハ表面を若干重研磨して清浄な鏡面を出すことにより、パーティクルカウント数の極少ないウェーハを得ることができ、従って、酸化膜耐圧特性の改善に効果があることが判った。

【0026】さらに本発明者等はTDD B(経時絶縁破壊)特性についても調査した。上記実施例1ではゲート酸化膜の絶縁破壊強度を示したが、酸化膜の長期信頼性、即ちTDD B特性はデバイスの寿命を見積もる上で重要な特性である。測定したウェーハは、図1の測定を行ったMOSダイオード付ウェーハを用いた。ゲート面積が $1\text{mm}^2$ のMOSダイオードについてウェーハあたり100個、 $-12\text{MV}/\text{cm}$ の定電圧ストレスを印加してTDD B特性を測定した。未熱処理品(実験例1-0)と本発明の処理[実施例1-2( $1150^\circ\text{C}$ 、2時間)及び実施例1-3( $1200^\circ\text{C}$ 、2時間)]を施したウェーハ(各2枚)について、測定結果を図4に示した。図4に示したごとくTDD B特性においても同様の\*20

【図1】



\*効果が表れることを確認した。

【0027】

【発明の効果】本発明の処理を施すことにより、ウェーハ表面において酸化膜耐圧特性を劣化させる様な欠陥密度の低減に著しい効果があった。本発明の処理を施した後、ウェーハ上に形成されたゲート酸化膜中には微小な欠陥はほとんど取り込まれず、酸化膜耐圧特性の優れた半導体集積回路を得ることが可能となった。即ち、絶縁耐圧が高くかつ信頼性の高い半導体集積回路を製造できるウェーハの提供が可能となった。

【図面の簡単な説明】

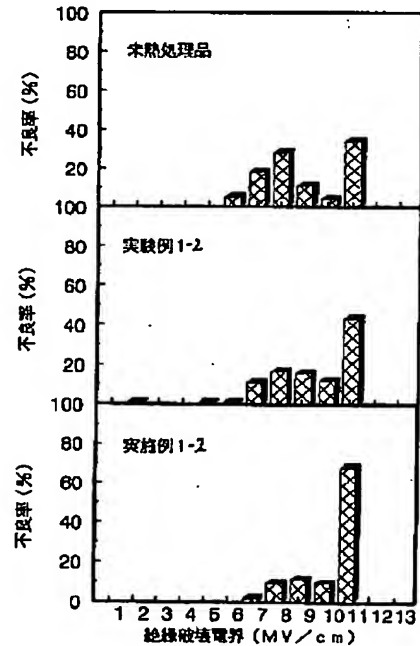
【図1】実施例1及び実験例1における前熱処理温度と酸化膜耐圧の良品率の関係を示すグラフである。

【図2】実施例1-2、実験例1-2及び未熱処理品における酸化膜耐圧ヒストグラムを示すグラフである。

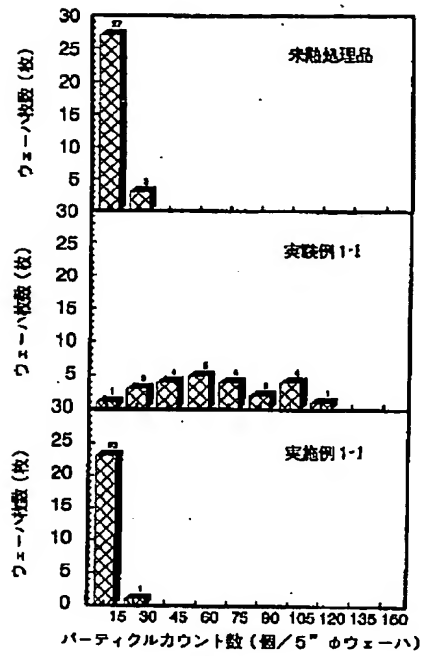
【図3】実施例1-1、実験例1-1及び未熱処理品におけるパーティクルカウント数を示すグラフである。

【図4】実施例1-2、実施例1-3及び未熱処理品についてのTDD B特性を示すグラフである。

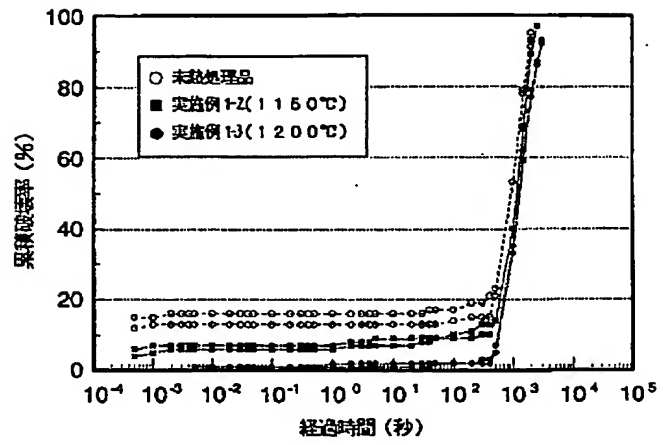
【図2】



【図3】



【図4】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**